

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2001144604 4  
PUBLICATION DATE : 25-05-01

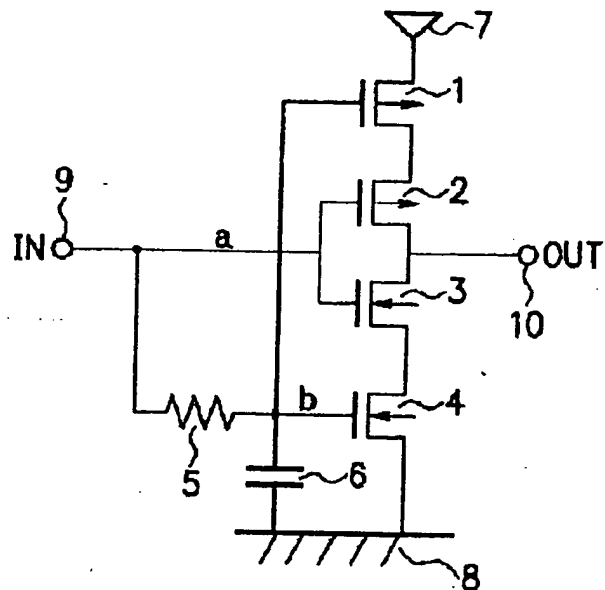
APPLICATION DATE : 16-11-99  
APPLICATION NUMBER : 11325426

APPLICANT : NEC CORP;

INVENTOR : OTAKE HIROYUKI;

INT.CL : H03K 19/0948 H03K 17/16 H03K  
17/687

TITLE : CMOS LOGIC CIRCUIT



**ABSTRACT :** PROBLEM TO BE SOLVED: To obtain a CMOS logic circuit that can reduce a through-current in spite of a fewer inserted delay circuit numbers.

**SOLUTION:** A push-pull gate circuit consisting of P-channel transistors (TRs) 1, 2 and N-channel TRs 3, 4 and providing different ON/OFF operations to an input signal is connected in series between a power supply and a GND, and delay circuits 5, 6 delay the input signal by a prescribed time. The input signal (a) is given to any gate terminal of the push-pull gate circuit, an input signal (b) via the delay circuit is connected to other gate terminal of the push-pull gate circuit, and a connecting point of the series connection of the push-pull connection TRs 2, 3 is connected to an output signal terminal 10, and the input signal 9 is given to the output signal terminal 10. The ON/OFF operation timing of the push-pull gate circuit is made different by the delay circuit. Thus, simultaneous tuning on of the gate circuits can be prevented and the through-current can be reduced.

COPYRIGHT: (C)2001, JPO

BEST AVAILABLE COPY



50 延回路を介した入力信号を接続し、プッシュ／プルゲー

ト回路の直列接続された接続点を出力信号端子と連結して構成し、入力信号を出力信号端子へ送達するプッシュ／プルゲート回路のON/OFF動作のタイミングを、遅延回路により異ならせたことを特徴としている。

【0008】上記のプッシュ／プルゲート回路は、Pチャネル型トランジスタとNチャネル型トランジスタとにより構成され、遅延回路は、入力信号端子とGND間に抵抗器とコンデンサとによりCR積分器として構成され、この積分時定数により遅延時間を設定可能に構成され、さらには遅延時間の設定により、ON/OFF動作時に発生する貫通電流を削減化するとよい。

【0009】請求項5記載の発明のCMOS論理回路は、電源とGND間に直列接続された第1のPチャネル型トランジスタ、第2のPチャネル型トランジスタ、第1のNチャネル型トランジスタ、第2のNチャネル型トランジスタと、入力信号端子とGND間に直列接続された抵抗器とコンデンサとを有し、直列接続された第2のPチャネル型トランジスタと第1のNチャネル型トランジスタのそれぞれのゲート端子と入力信号端子とを接続(a)し、抵抗器とコンデンサとの接続点と第1のPチャネル型トランジスタのゲート端子および第2のNチャネル型トランジスタのゲート端子との間を接続(b)し、第2のPチャネル型トランジスタのドレインと第1のNチャネル型トランジスタのソースの接続点と出力端子間を接続し、接続(a)と接続(b)の接続されたトランジスタのON/OFF動作のタイミングを異ならせたことを特徴としている。

【0010】上記のタイミングをずらせたON/OFF動作により貫通電流を削減化し、またCMOS論理回路は、前状態を保持するバスホルダ回路をさらに有し、Pチャネル型トランジスタ、Nチャネル型トランジスタが共にオフする場合、インバータ回路の出力がハイインピーダンス状態になる場合があるため、前状態を保持する回路を挿入することによって、次第にその状態を伝播させないようにするとよい。

【0011】

【発明の実施の形態】次に、添付図面を参照して本発明によるCMOS論理回路の実施の形態を詳細に説明する。図1から図9を参照すると、本発明のCMOS論理回路の一実施形態が示されている。

【0012】(第1の実施例)図1は、本発明の第1の実施例の形態であるCMOSインバータ回路であり、Pチャネル型トランジスタ1、Pチャネル型トランジスタ2、Nチャネル型トランジスタ3、Nチャネル型トランジスタ4、抵抗5、コンデンサ6、電源7、およびGND8、入力端子9、出力端子10を有して構成される。さらに、図2は、図1におけるCMOSインバータ回路の集積回路の断面構造を表している。

【0013】図1に示したCMOSインバータ回路の回路構成において、Pチャネル型トランジスタ1、2およ

びNチャネル型トランジスタ3、4は、電源7およびGND8間に直列接続されている。本構成によれば、型式の相違するトランジスタが直列に接続され、各ゲートに制御信号が入力されることにより、ON/OFF動作の相違した、いわゆる、プッシュ／プル回路に構成されている。

【0014】(第1の実施例の動作説明)図3は、第1の実施例における動作例を示すタイミングチャートであり、図1のインバータ回路の動作例を示す。このインバータ回路に対して、入力端子9に図3のINに示すような波形が入った場合を想定する。図3の信号aは、図1のPチャネル型トランジスタ2とNチャネル型トランジスタ3に入力される。また、図1の信号bの波形は、CR回路による充放電により、図3中の(b)に示される緩やかな立ち上がり立ち下がりを持った波形になり、Pチャネル型トランジスタ1とNチャネル型トランジスタ4とに入力される。この信号bの波形によって、しきい値に至る時間が信号aに比べて時間だけ遅れる。図3中のトランジスタ1、2、3、4のON/OFFのタイミングおよび出力信号OUTの波形図は、上記の関係をタイミングチャートとして示している。

【0015】ここで、入力した信号の立ち上がり立ち下がりについて、それぞれ図1のインバータ回路についての動作例を説明する。図4は、トランジスタ1～4のON/OFFタイミング例を、特に入力立ち上がり時のタイミングを詳細に示している。つまり本図4のタイミング図では、入力信号INの信号レベルが“L”から“H”に変化する場合における各トランジスタの動作例を示す。図4中のV1P、V2P、V3N、V4Nはそれぞれ、Pチャネル型トランジスタ1、Pチャネル型トランジスタ2、Nチャネル型トランジスタ3、Nチャネル型トランジスタ4のしきい値を示す。時刻T1で入力信号aの電圧レベルがV3Nを超えると、Nチャネル型トランジスタ3はオフ状態からオン状態に切り替わる。

【0016】時刻T1から時刻T2の間ではNチャネル型トランジスタ1とPチャネル型トランジスタ2、Nチャネル型トランジスタ3がオンしているが、Nチャネル型トランジスタ4がオフしているために、貫通電流が生じない。また、時刻T3でRC回路によって遅延された入力信号bの電圧レベルが、Nチャネル型トランジスタ4のしきい値V4Nを超えると、Nチャネル型トランジスタ4がオン状態に変化し、出力信号OUTが“H”から“L”に変化する。時刻T3から入力信号bの電圧レベルがV1Pに達する時刻T4まで、Pチャネル型トランジスタ1とNチャネル型トランジスタ3、Nチャネル型トランジスタ4がオンしている。しかし既に、Pチャネル型トランジスタ2がオフ状態になっているため、貫通電流は生じない。

【0017】図5では、入力信号INの信号レベルが

【図2】図1におけるCMOSインバータ回路の集積回

路の断面構造を表している。

【図3】図1のインバータ回路の動作例を示すタイミングチャートである。

【図4】トランジスタ1～4の特に入力立ち上がり時のタイミングを詳細に示している。

【図5】トランジスタ1～4の特に入力立ち下がり時のタイミングを詳細に示している。

【図6】第2の実施例を示す回路図である。

【図7】第2の実施例の構成においての各トランジスタの動作例を示す。

【図8】第2の実施例の構成においての各トランジスタの動作例を示す。

【図9】第3の実施例を示す回路図である。

\*【図10】従来のCMOS論理回路の構成例を示す回路図である。

【符号の説明】

1. 2 Pチャネル型トランジスタ

3. 4 Nチャネル型トランジスタ

5 抵抗

6 コンデンサ

7 電源

8 GND

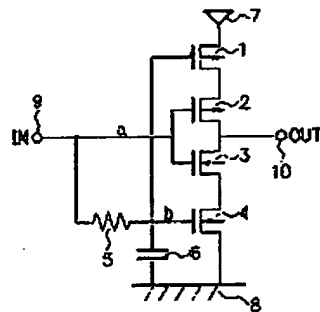
10 9 入力端子

10 出力端子

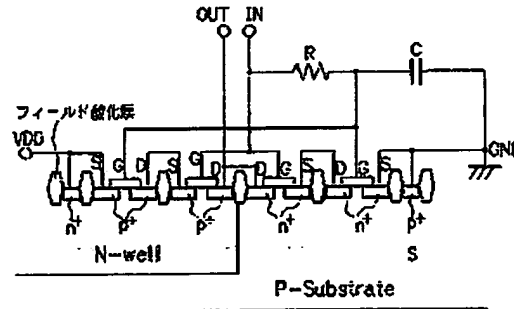
20 前状態を保持する回路（バスホルダ）

\*  $V_{1P}$ ,  $V_{2P}$ ,  $V_{3N}$ ,  $V_{4N}$  しきい値

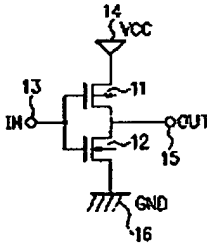
【図1】



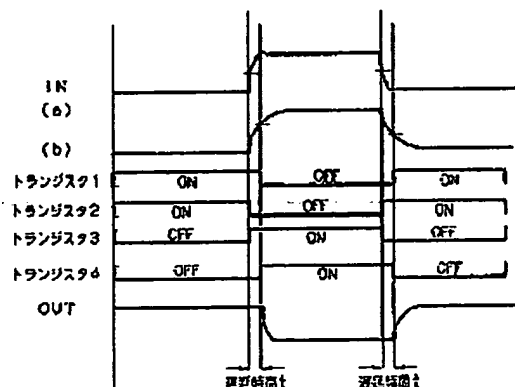
【図2】



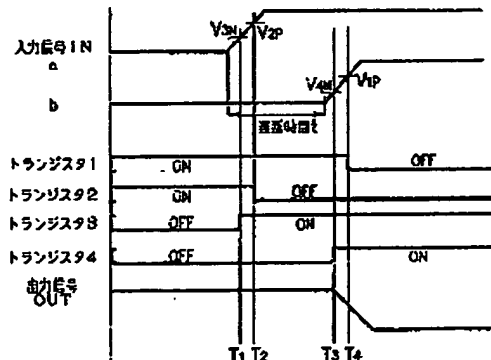
【図10】



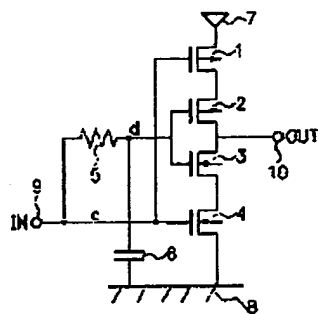
【図3】



【図4】

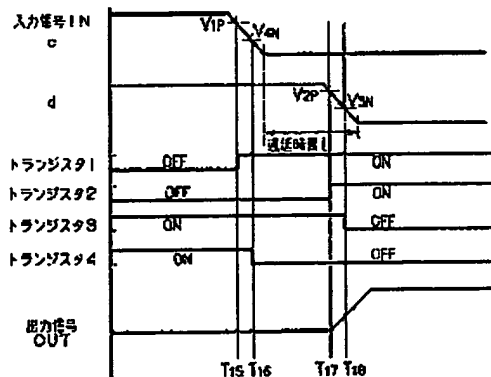


【图6】



【图8】

入力番号IN



(7)

特開2001-144604

フロントページの続き

Fターム(参考) 5J055 AX27 AX54 AX64 BX16 CX24  
DX22 DX56 DX72 DX83 EX07  
EX21 EY01 EY10 EY21 EZ01  
EZ07 FX12 FX17 FX28 FX35  
GX01 GX04 GX07  
5J056 AA03 BB19 CC05 DD13 DD29  
DD51 EE11 FF08 KK00 KK02



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**